

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2000-504879

(P2000-504879A)

(43)公表日 平成12年4月18日(2000.4.18)

(51)Int.Cl.⁷

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

テーマコード(参考)

6 5 2 H

6 5 5 B

3 0 1 S

3 0 1 W

審査請求 未請求 予備審査請求 有 (全 27 頁)

(21)出願番号 特願平9-528039
(86)(22)出願日 平成9年1月30日(1997.1.30)
(85)翻訳文提出日 平成10年8月4日(1998.8.4)
(86)国際出願番号 PCT/DE97/00182
(87)国際公開番号 WO97/29518
(87)国際公開日 平成9年8月14日(1997.8.14)
(31)優先権主張番号 19604043.4
(32)優先日 平成8年2月5日(1996.2.5)
(33)優先権主張国 ドイツ(DE)
(31)優先権主張番号 19604044.2
(32)優先日 平成8年2月5日(1996.2.5)
(33)優先権主張国 ドイツ(DE)

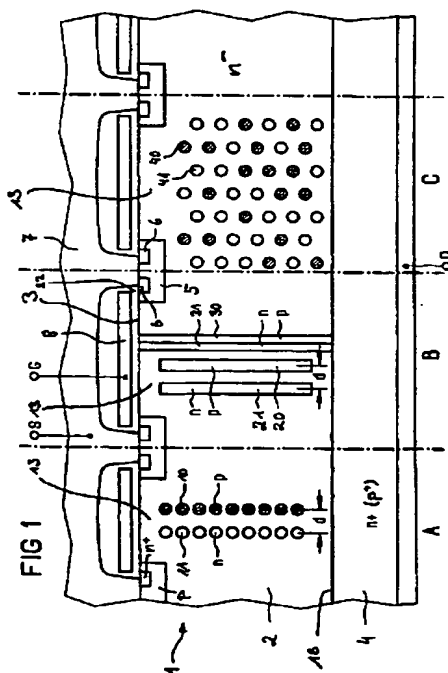
(71)出願人 シーメンス アクチエンゲゼルシャフト
ドイツ連邦共和国 デー—80333 ミュン
ヘン ウィッテルスバッヒャープラッツ
2
(72)発明者 チハニ、イエネ
ドイツ連邦共和国 デー—85551 キルヒ
ハイム イザールヴェーク 13
(72)発明者 シュトラック、ヘルムート
ドイツ連邦共和国 デー—80804 ミュン
ヘン シュバイエラー シュトラーセ 6
(74)代理人 弁理士 山口 巖

最終頁に続く

(54)【発明の名称】 電界効果により制御可能な半導体デバイス

(57)【要約】

本発明は縦型又は横型構造形式の電界効果により制御可能な半導体デバイス、即ちMOSFET及びIGBTに関する。ソースドレイン負荷区間の半導体基体内に、即ち縦型デバイスでは内部帯域内に、また横型デバイスではドリフト帯域内に異なる導電形の空乏帯域と相補性空乏帯域を入れ、その際第1の導電形によりドーピングされた範囲の濃度が第2の導電形によりドーピングされた範囲の濃度にほぼ相当するようにする。



【特許請求の範囲】

1. a) 半導体基体 (1) の表面 (3) に接する第1の導電形の内部帯域 (2)) と、
b) 内部帯域 (2) に接するドレイン帯域 (4) と、
c) 上記の半導体基体 (1) の表面 (3) に埋め込まれている第2の導電形の少なくとも1つのベース帯域 (5) と、
d) ベース帯域 (5) に埋め込まれている第1の導電形の少なくとも1つのソース帯域 (6) と、
e) それぞれベース帯域 (5) とそこに埋め込まれているソース帯域 (6) を接触化する少なくとも1つのソース電極 (7) と、
f) 半導体基体 (1) 全体と絶縁されているゲート電極 (8) と
を有する半導体基体 (1) から成る電界効果により制御可能の半導体デバイスにおいて、
g) 内部帯域 (2) 内に第2の導電形の多数の空乏帯域 (10) と第1の導電形の単数又は複数の相補性空乏帯域 (11) とが設けられており、
h) その際空乏帯域 (10) 全体のドーピング量が相補性空乏帯域 (11) 全体のドーピング量にほぼ相当すること
を特徴とする電界効果により制御可能の半導体デバイス。
2. 空乏帯域 (10) と相補性空乏帯域 (11) が内部帯域 (2) 内でそれぞれ対として配置されていることを特徴とする請求項1記載の半導体デバイス。
3. 空乏帯域 (10) と相補性空乏帯域 (11) がドレイン帯域 (4) にまで延びていることを特徴とする請求項2記載の半導体デバイス。
4. 内部帯域 (2) 及び／又はドレイン帯域 (4) 内に対として設けられている空乏帯域 (10) と相補性空乏帯域 (11) の相互間隔が ≥ 0 及び空間電荷帯域の幅より小さいか等しいことを特徴とする請求項2又は3記載の半導体デバイス。
5. 空乏帯域 (10) 及び／又は相補性空乏帯域 (11) が条片状又は糸状又はほぼ球形に形成されていることを特徴とする請求項1乃至4のいずれか1つに

記載の半導体デバイス。

6. 設けられている中間セル帯域(13)内に、ソース側表面(3)から内部帯域(2)内にトレンチ(14)が延びており、その際トレンチ(14)は少なくとも絶縁体で満たされており、トレンチ(14)がそのトレンチ壁面(15)に対として配置されている空乏帯域(10)及び相補性空乏帯域(11)を設けられていることを特徴とする請求項1記載の半導体デバイス。

7. トレンチ(14)がほぼV字形に形成されていることを特徴とする請求項6記載の半導体デバイス。

8. トレンチ(14)がほぼU字形に形成されていることを特徴とする請求項6記載の半導体デバイス。

9. 唯一つの相補性空乏帯域(11)が設けられ、その中に多数の空乏帯域(10)が設けられていることを特徴とする請求項1記載の半導体デバイス。

10. 空乏帯域(10)がほぼ球形に形成されていることを特徴とする請求項9記載の半導体デバイス。

11. 唯一の相補性空乏帯域(11)が内部帯域(2)と同一であることを特徴とする請求項9記載の半導体デバイス。

12. 1) 基板上に拡散係数が互いに明らかに異なっているp形ドーパントとn形ドーパントをほぼ同量含んでいる第1のエピタキシャル層を施し、

2) 第1のエピタキシャル層内にトレンチをエッチングし、

3) トレンチを第2の高オームのエピタキシャル層で満たし、

4) このように処理された基板にその後第1のエピタキシャル層の異なる速度で拡散する両ドーパントを第2のエピタキシャル層内に拡散できるようにし、拡散挙動が異なることから対の空乏帯域と相補性空乏帯域がトレンチの縁部に形成されるように熱処理を施す

工程を特徴とする対に配置されている空乏帯域と相補性空乏帯域の製造方法。

13. a) 空間的に互いに分離され、それぞれソース電極(7)とドレイン電極(9)とを設けられている第2の導電形のソース帯域(6)とドレイン帯域(4)と、

b) ソース帯域(6)とドレイン帯域(4)との間にありドレイン帯域(4)に接する第2の導電形のドリフト帯域(12)と

c) ソース帯域(6)とドリフト帯域(12)を部分的に覆う半導体基体(1)の表面(3)と絶縁されているゲート電極(8)とを有する第1の導電形の半導体基体(1)から成る電界効果により制御可能な半導体デバイスにおいて、

d) ドリフト帯域(12)内に第2の導電形の単数及び複数の空乏帯域(10)が設けられており、

e) その際ドリフト帯域(12)全体のドーピング量が空乏帯域(10)全体のドーピング量にほぼ相当する

ことを特徴とする電界効果により制御可能な半導体デバイス。

14. 空乏帯域(10)の相互間隔がドリフト帯域(12)と空乏帯域(10)との間の空間電荷帯域の幅に等しいかそれ以下であることを特徴とする請求項13記載の半導体デバイス。

15. ドリフト帯域(12)に設けられている空乏帯域(10)がほぼ球形に形成されていることを特徴とする請求項13又は14記載の半導体デバイス。

【発明の詳細な説明】**電界効果により制御可能の半導体デバイス**

本発明は、

- a) 半導体基体の表面に接する第1の導電形の内部帯域と、
 - b) 内部帯域に接するドレイン帯域と、
 - c) 上記の半導体基体の表面に埋め込まれている第2の導電形の少なくとも1つのベース帯域と、
 - d) ベース帯域に埋め込まれている第1の導電形の少なくとも1つのソース帯域と、
 - e) それぞれベース帯域とそこに埋め込まれているソース帯域を接触化する少なくとも1つのソース電極と、
 - f) 半導体基体全体と絶縁されているゲート電極と
- を有する半導体基体から成る電界効果により制御可能の半導体デバイスに関する。

この種の電界効果により制御可能の縦型の半導体デバイスは従来技術においてずっと以前から知られている。一方ではこのデバイスは、内部帯域に接するドレイン帯域が内部帯域と同じ導電形である場合には、VMOS電界効果トランジスタとして知られている。また他方ではこのような電界効果により制御可能の半導体デバイスはドレイン帯域を陽極帯域として形成され内部帯域と反対の導電形に形成されている場合には、IGBTとして知られている。

更に本発明はまた、

- a) 空間的に互いに分離され、それぞれソース電極とドレイン電極を設けられている第2の導電形のソース帯域及びドレイン帯域と、
 - b) ソース帯域とドレイン帯域との間にあり、ドレイン帯域に接する第2の導電形のドリフト帯域と、
 - c) ソース帯域とドリフト帯域を部分的に覆い半導体基体の表面と絶縁されているゲート電極と
- を有する第1の導電形の半導体基体から成る電界効果により制御可能の半導体デ

バイスに関する。

このような電界効果により制御可能の横型の半導体デバイスは従来から横型MOSFETとして公知である。

冒頭に記載した半導体デバイスはイエンス・ペーター・シュテングル及びイエネ・チハニ著「パワーMOSFETの実践」第2版、プフラウム出版、ミュンヘン、1992年に詳細に論究されている。

冒頭に記載した全ての半導体デバイスは、内部帯域もしくはドリフト帯域の厚さを増さなければならないため、ドレインソース負荷区間の順方向抵抗 R_{on} が半導体デバイスの電圧強度の増加につれて増大する欠点を有する。VMOS-MOSFETの場合、表面に関する順方向抵抗 R_{on} は50Vの電圧で約 $0.20\Omega/m^2$ であり、1000Vの逆電圧では例えば約 $10\Omega/m^2$ の値に上昇する。

この欠点を排除するために、米国特許第5216275号明細書には均質に例えばエピタキシャルに成長させた内部帯域の代わりに第1と第2の導電形の層が交互に存在する縦型MOSFETが提案されている。その原理となる構造は特に図4及び図5並びにそれらに関連する明細書部分に示されている。特にそこでは交互するp形層及びn形層はそれぞれベース帯域及びドレイン帯域と接続されている。しかしこれにより縁部範囲がもはや自由に形成できなくなるため半導体デバイスの設計を著しく制約することになる。

従って本発明の課題は、冒頭に記載した電界効果により制御可能の半導体デバイスを、高い逆電圧にもかかわらず低い順方向抵抗が存在するように改良して従来技術で示された欠点を排除することにある。

この課題は本発明により、冒頭に記載した形式の縦型パワー半導体デバイスにおいて、内部帯域に第2の導電形の単数又は複数の空乏帯域と第1の導電形の単数又は複数の相補性空乏帯域を設け、その際空乏帯域全体のドーピング量が相補性空乏帯域全体のドーピング量に相当するようにすることにより解決される。

更に本発明の課題は、電界効果により制御可能の横型構造の半導体デバイスにおいて、ドリフト帯域内に第2の導電形の多数の空乏帯域を設け、その際ドリフト帯域全体のドーピング量が空乏帯域全体のドーピング量にほぼ相当するようにすることにより解決される。

本発明は、V-MOSFET及びIGBTにおいて好適には対として配置された空乏帯域と相補性空乏帯域を特に電流路に沿って単純に設置することにより、一方では相補性空乏帯域により良好な導電性が保証され、他方ではドレイン電圧の上昇時にこれらの範囲が相互に空乏化し合い、それにより高い逆電圧が保証及び維持されるという利点を有する。

このように形成された半導体デバイスに逆電圧が生じると、縦型の半導体デバイスでは内部帯域と単数又は複数のベース帯域との間のpn接合から始まって空間電荷帯域が形成され、その広がりには逆電圧の上昇と共に増大する。空間電荷帯域が空乏帯域にぶつかると、これらの空乏帯域は内部帯域の空乏化された範囲を介して高オームでベース帯域に接続される。更に逆電圧が上昇すると空間電荷帯域は更に広がり、その結果キャリアの一部も空乏帯域及び相補性空乏帯域から駆逐される。更に逆電圧が上昇するとキャリアは内部帯域の大部分及び空乏帯域及び相補性空乏帯域から完全に駆逐されてしまう。こうしてこの空間電荷帯域はドレイン帯域もしくは陽極帯域の方向に移動させられる。最大印加電圧では空乏帯域及び相補性空乏帯域は完全に空間電荷帯域内にある。横型MOSFETにおける空乏帯域及び相補性空乏帯域の機能もこれに類似する。

空乏帯域全体のドーピング量が相補性空乏帯域全体のドーピング量に相当するので、ドレイン電圧の上昇時にこのようにして形成されているpn形範囲は相互に完全に空乏化され、即ち唯1つの絶縁帯域のようになり、それにより高い逆電圧が保証及び維持される。

本発明の一実施形態では、内部帯域内の空乏帯域と相補性空乏帯域はそれぞれ対として配置されている。更に典型的には対として内部帯域に設けられている空乏帯域と相補性空乏帯域は ≥ 0 及び空間電荷帯域の幅より小さいか等しい相互間隔を有する。

本発明の別の実施形態では内部帯域内に唯1つの相補性空乏帯域を設け、その中に多数の空乏帯域を設けるようにし、その際典型的には相補性空乏帯域内の空乏帯域の相互間隔は空乏帯域と相補性空乏帯域との間の空間電荷帯域の幅より小さいか等しくされる。

この実施形態の場合相補性空乏帯域内に設けられている空乏帯域はほぼ球形、

直方体形又は不規則な形状を示していてもよい。

有利には本発明のこの別の実施形態の更なる改良では相補性空乏帯域は内部帯域全体に相当する。

更に本発明は対として配置されている空乏帯域と相補性空乏帯域の製造方法にも関する。その際本発明によれば基板上に、拡散係数が明らかに互いに異なっている p 形ドーパントと n 形ドーパントをほぼ同量含んでいる第 1 のエピタキシャル層を施す。この第 1 のエピタキシャル層内に次いでトレンチをエッチングし、このトレンチを第 2 の高オームのエピタキシャル層で満たす。次いでこのように処理された基板を熱処理し、第 1 のエピタキシャル層の異なる速度で拡散する 2 つのドーパントが第 2 のエピタキシャル層内に拡散できるようにする。その後拡散挙動が異なることから対の空乏帯域と相補性空乏帯域がトレンチの縁部に形成される。

本発明を図面に例示し、以下に図面に基づき詳述する。その際

図 1 はそれぞれ A、B、C で示された範囲において異なる実現可能性を示す本発明による縦型 MOS F E T の部分断面図を、

図 2 は本発明による別の V-MOS F E T の部分断面図を、

図 3 は更に別のトレンチ構造を有する本発明による V-MOS F E T の部分断面図を、

図 4 は更に別のトレンチ構造を有する本発明による V-MOS F E T の部分断面図を、

図 5 は V 字形のトレンチ構造を有する本発明による V-MOS F E T の部分断面図を、

図 6 は本発明による横型 MOS F E T の部分断面図を、

図 7 a ~ 7 d はそれぞれ本発明による縦型 MOS F E T を製造するための特徴的な処理工程を示す部分断面図を、

図 8 a 及び 8 b はそれぞれ本発明による縦型 MOS F E T を製造するための別の処理工程を示す部分断面図を示している。

図 1 ~ 5 において半導体デバイスの半導体基体が 1 と符号付けられている。半導体基体はソース側表面 3 とドレイン側表面 16 を有する。半導体基体 1 はその

表面3に接しているn-ドーピングされた内部帯域2を有する。表面3には複数のベース帯域5が埋め込まれている。これらのベース帯域5はセル形の構造を有する。このようなセル構造は条片形、六角形、三角形、円又は四角形を有していてもよい。ベース帯域5は内部帯域2と反対の導電性を有し、即ちベース帯域はこの図の場合p-ドーピングされている。ベース帯域5内にはそれぞれ2つの強くn-ドーピングされたソース帯域6が埋め込まれている。ベース帯域5とソース帯域6は金属、例えばアルミニウムから成るソース電極7と接触させられている。

内部帯域2の別の側面には強くn-ドーピングされたドレイン帯域4もしくはIGBTの場合には強くp-ドーピングされた陽極帯域が接している。この帯域にはドレイン電極9が金属化部を介して設けられている。

ベース帯域5は中間セル帯域13を介して空間的に互いに分離されている。

ソース側の表面3上にあるゲート酸化物22により絶縁されてゲート電極8が配設されている。ゲート電極8は高ドーピングされたポリシリコンもしくは金属から成っていてもよい。

図1には本発明の種々の実施形態が見易くするために1つの図にまとめて示されている。

図1には内部帯域2内の中間セル帯域13内に設けられている種々の空乏帯域、相補性空乏帯域10、11もしくは20、21もしくは30、31もしくは40、41が示されている。それらは互いに接触状態に、即ち互いに接触していてもよいが、しかし必ずしも互いに接触している必要はない。それらが互いに接触している場合（これは図示の空乏帯域30と図示の相補性空乏帯域31の場合である）にはpn接合を形成する。

図示の全ての空乏帯域はp-ドーピングされており、図示の全ての相補性空乏帯域はn-ドーピングされている。範囲Aで10、11と符号付けられている空乏帯域及び相補性空乏帯域は球形に形成され、ドレイン-ソース負荷区間の電流路に沿って延びている。範囲Bでは相補性空乏帯域21、31及び空乏帯域20、30は糸もしくは条片状に形成されている。そこでは空乏帯域20及び相補性空乏帯域21は内部帯域2内に“フロート”状態で、即ち自由に浮動できるように形成されており、内部帯域2の一部だけを満たしている。しかしまたこれらの帯域は符号3

0、31で示されているようにソース側表面3からドレイン側表面16及び／又はドレイン帯域4内にまで達することもできる。範囲Bに示されているように空乏帯域及び相補性空乏帯域の相互間隔 d は ≥ 0 とすることができる。

範囲C内には別の実施形態が示されており、その際空乏帯域と相補性空乏帯域40、41は統計的に配分されている。その際空乏帯域及び相補性空乏帯域40、41の形状及び個々の空乏帯域もしくは相補性空乏帯域内のドーピング分布は不規則であってもよい。

本発明において重要なことは、空乏帯域全体のドーピング量が相補性空乏帯域全体のドーピング量にほぼ相当することである。更に注意すべきことは、設けられている空乏帯域の体積の合計が相補性空乏帯域のそれにほぼ等しいか少ないことである。

更に範囲Cによる配置の場合配分された空乏帯域の平均濃度は設けられている相補性空乏帯域の濃度にほぼ等しいか又は大きくすべきである。

個々の空乏帯域と相補性空乏帯域間の間隔 d は、隣接する空乏帯域と相補性空乏帯域間がブレークダウン電圧が存在する場合、相補性空乏帯域と空乏帯域との間の空間電荷帯域の幅よりも狭いと有利である。しかし間隔 d は範囲Bに示されているように零でもよい。

以下図1に示されている構造の作用を詳述する。

ドレイン電圧が低い場合相補性空乏帯域が低オームであるため導電性は良好である。ドレイン電圧が高くなると中程度の電圧、例えば30V以下の電圧で空乏帯域もしくは相補性空乏帯域は相互に空乏化される。更に電圧を上げた場合垂直方向の電界強度が更に高められ、内部帯域2はこの電圧を受ける。

この過程は詳細には以下のようにして行われる。空乏化はゲート電極8の下ソース側表面及びベース帯域5内に埋め込まれたソース帯域6から始まる。次に空乏化は空乏帯域ないし相補性空乏帯域に進む。空間電荷帯域が最初の空乏帯域に達すると、この帯域は空間電荷帯域の電位が達している電圧に留まる。更にドレイン帯域4の方向の次の周辺部が空乏化される。この過程が層から層へと繰り返される。このようにして空間電荷帯域は内部帯域2内に入れられたドーピングの下に達するまで進む。こうして空間電荷帯域は全体としてあたかも付加的に設

けられた空乏帯域及び相補性空乏帯域が存在しないかのように形成される。

その際電圧強度は内部帯域2の厚さのみにより決定される。従って本発明による装置は両方の要件、即ち高い電圧強度であると同時に低い順方向抵抗 R_{on} である要件を満足する。

図2にはV-MOSFETに基づく本発明の別の実施形態が示されている。この場合n-ドーピングされた内部帯域2内に中間セル帯域13からベース帯域5の下に広がるn-ドーピングされた相補性空乏帯域51が設けられている。この相補性空乏帯域51内には多数のp-ドーピングされた空乏帯域50が設けられている。これらの空乏帯域50の分布は統計的又は規則的であってよい。その際凹部帯域50は任意の形を有していてもよく、図2に示されている空乏帯域50はほぼ球形の形を有している。またこの場合分散されている空乏帯域50全体のドーピング量はn-ドーピングされた相補性空乏帯域51全体のドーピング量にほぼ等しい。更に空乏帯域50の相互間隔は空乏帯域50と相補性空乏帯域51間にブレークダウン電圧がある場合空乏帯域50と相補性空乏帯域51間の空間電荷帯域の幅よりも狭い。

図3は本発明によるV-MOSFETの別の実施例を示している。このMOSFETは図1もしくは図2に示されているものと内部帯域2の形状が異なる。ここではゲート酸化物22により絶縁されているゲート電極8の下方に内部帯域2のソース側表面3からドレイン帯域4内にまで中間セル帯域13の範囲に垂直なトレンチ14が延びている。このトレンチ14は部分的に又は完全に絶縁材、例えば酸化シリコン及び／又は弱くp-ドーピングされたポリシリコンで満たされている。複数の上下に重ねられた絶縁層とその間にある弱くドーピングされたポリシリコンとの組み合わせも可能である。

こうして絶縁材で満たされたトレンチ14はp-ドーピングされた空乏帯域60を備えているn-ドーピングされた相補性空乏帯域61を介して内部帯域2と分離される。その際このように空乏帯域60及び相補性空乏帯域61により形成されるトレンチ被覆のドーピングは、 U_D 電圧が空乏帯域60と相補性空乏帯域61との間のブレークダウン電圧よりも低い場合、空乏帯域60と相補性空乏帯域61がほぼ完全に空乏化されるように調整される。

トレンチ14の断面は丸くても条片状でも又は任意であってよい。その際トレンチ14はドレイン帯域4内にまで延びている必要はなく、むしろその深さの推移は自由に選択可能である。例えば丸いトレンチ断面を選択した場合、絶縁材で満たされたトレンチ14を覆う空乏帯域60及び相補性空乏帯域61は準円筒形となる。

その場合内部帯域2とトレンチ14との間の空乏帯域60及び相補性空乏帯域61のドーピングの配列は任意であり、即ち空乏帯域60はトレンチ14と相補性空乏帯域61との間にも相補性空乏帯域61と内部帯域2との間にも配置可能である。

更にトレンチ壁面15の一部のみを空乏帯域60及び相補性空乏帯域61で覆うこともできる。

図4は図3に示されている装置に相応する別の実施例を示している。図3の装置との相異はゲート電極の形にある。図3に示されている装置とは異なりこの場合ゲート電極は2つに分けられているか、もしくはゲート電極を第1の部分範囲17と第2の部分範囲18に分割するゲート空白部19を有する。この装置の趣旨は、このように形成されたゲート電極によりその下にあるトレンチ14がマスクされることにある。それによりトレンチ14の簡略化された形成方法を得ることができる。ゲートが製造中に一定の範囲のマスキングの役目をする公知の構造のように、この場合ゲートの形によりトレンチ14の形成はゲート空白部19の形状に応じて調整される。

図5は縦型MOSFETの別の実施例を示している。この図に示されているV-MOSFETも同様に図3に示されている構造にほぼ相応するが、トレンチ14'がこの場合ほぼV字形のトレンチとして形成されている点で異なっている。従って空乏帯域及び相補性空乏帯域もV字形に形成されている。しかしまた同様にトレンチ14'の頂点もしくは転換点をU字形に形成することも考えられる。この種のトレンチのV-MOSFETは図5に示されているようにトレンチがV字形に形成されていると容易に形成することができ、その際極めて小さな角度 Φ 、有利には $5^{\circ} \sim 10^{\circ}$ を使用すると有利である。更にトレンチ壁面15'は0

’の入射角でのイオン注入により高い精度で均質に覆うことができる。空乏帯域及び相補性空乏帯域の異なるドーピングはトレンチ壁面から1回又は複数回の高温

処理によりドレイン帯域4及び内部帯域2の単結晶シリコン中に施される。この場合もまたそれぞれ一方のトレンチ側壁だけを空乏帯域もしくは相補性空乏帯域で覆うことが考えられる。

図6は横型MOSFETの別の実施例を示している。図6から明らかなように、横型MOSFETはpドーピングされた内部帯域2を有する半導体基体1から成る。pドーピングされた内部帯域2内にはその表面3にnドーピングされたソース帯域6が設けられている。nドーピングされたソース帯域6内には金属ケイ化物から成るソース電極7があり、これはソース接続端子Sと接続されている。更に同様にnドーピングされたドレイン帯域4が半導体基体1の表面3に設けられている。nドーピングされたドレイン帯域4は同様に金属ケイ化物から成り、ドレイン接続端子Dを有するドレイン電極9を有する。ソース帯域6とドレイン帯域4との間には弱くnドーピングされているドリフト帯域12がある。このドリフト帯域12内にはpドーピングされた凹部帯域10が設けられている。個々のpドーピングされた凹部帯域10の相互間隔は、設けられているpドーピングされた凹部帯域10と弱くnドーピングされたドリフト帯域12との間の空間電荷帯域の幅よりも小さいと有利である。この場合も分散されているpドーピングされた空乏帯域10全体のドーピング量は弱くnドーピングされているドリフト帯域12の全体のドーピング量とほぼ同じである。

半導体基体1上には公知のように半導体基体1全体とゲート酸化物22を介して絶縁されているゲート電極8がある。ゲート電極8もまた公知のように、ゲート電極8とpドーピングされた内部帯域2との間隔がソース帯域6からドレイン帯域4の方向に増加するように形成されている。

本発明によるこの種の横型構造の作用を以下に詳述する。nドーピングされたドリフト帯域12が低オームであるため、低いドレイン電圧の場合その導電性は良好である。ドレイン電圧を中程度に高めると、それにより空乏帯域10とドリフト帯域12は相互に空乏化される。更に電圧を高めると横方向の電界強度はドリフ

ト帯域12の全容積が空乏化されるように高められる。ドリフト帯域12とソース帯域6との間にある内部帯域2の範囲はこの電圧を受け入れる。

図7a～7dは本発明による縦型半導体デバイスの一つの製造方法を示している。n+ドーピングされた基板94上に第1の薄くn-ドーピングされた層92をエピタキ

シャルに成長させる。この層は例えば適当なマスクング及びイオン注入により交互にnドーピングもしくはpドーピングされた範囲95、96と共にドーピングされる。ドーピングはもちろん他の公知方法によって行ってもよい。

その後図7bに見られるようにn-ドーピングされた層97をエピタキシャルに施す。この工程の繰り返しにより多段階のエピタキシャル析出を介して最後にn-ドーピングされた帯域92が更に設けられるべきベース帯域98まで完成される。〓

使用されるマスクに応じて層ごとに全く異なる構造を形成することができる。空乏帯域95及び相補性空乏帯域96のドーピングは例えば、1つの層の個々の空乏帯域95及び相補性空乏帯域96が高温処理によりその下にある層のそれらと接続されるように選択することができ、その結果図7cに示されているように全体として条片状の空乏帯域95及び条片状の相補性空乏帯域96が形成される。しかし各層内でドーピングされた空乏帯域95及び相補性空乏帯域96は図1の範囲A及びBに示されているように互いに分離されていてもよい。マスクの適当な選択により個々の領域の統計的空間配分も得られる。

最後にベース帯域98及びソース帯域99を別に施されたエピタキシャル層に入れ、残りの範囲に中間セル帯域100内の条片状の空乏帯域95及び相補性空乏帯域96が表面まで延びるように、例えば空乏帯域及び相補性空乏帯域の別のドーピングを行ってもよい。

図7dにおける縁部範囲に入れられた空乏帯域及び相補性空乏帯域は95'及び96'と符号付けられている。この縁部にある空乏帯域95'及び相補性空乏帯域96'は半導体基体内にある残りの空乏帯域95及び相補性空乏帯域96よりも弱くドーピングされていると有利である。ゲート電極101もしくは縁部のゲート電極101'及びソース電極102を設けるための更なる工程は公知方法で行われる。

図8 a～8 cには縦型の電界効果により制御可能の半導体デバイスの別の改良された製造方法が示されている。ここでは空乏帯域9 5' 及び相補性空乏帯域9 6' が特にエピタキシャルに析出された第1の層を迂回して設けられる。基板9 4' 上にp形ドーパントとn形ドーパントを同時にほぼ同量含んでいる第1のエピタキシャル層9 2' を施す。その際この両ドーパントの拡散係数は明らかに互

いに異なるように選択される。砒素の拡散係数がホウ素のそれよりほぼ10倍であるので、p形ドーパントとしてはホウ素が、またn形ドーパントとしては砒素が特に適している。

その後この第1のエピタキシャル層9 2' にトレンチ9 3' を所望の形状寸法にエッチングするが、その際この工程では特に良好な再現性は肝要ではない。

その後トレンチ9 3' を第2の高オームのエピタキシャル層9 7' で満たすが、その際この第2のエピタキシャル層9 7' は結晶障害が起こらないようにしてトレンチを満たす。これは図8 bに示されている。

最後にこのように処理された半導体基体を熱処理し、第1のエピタキシャル層9 2' の異なった速度で拡散する両元素、例えばドーパントの砒素及びホウ素が第2のエピタキシャル層9 7' 内に拡散できるようにする。この異なる拡散係数の故に拡散の良好な方のドーパント、この場合はホウ素は第2のエピタキシャル層9 7' 中に増加し、一方拡散係数の劣るドーパント、この場合砒素は第1のエピタキシャル層9 2' 内でトレンチの縁部に多く存在することになる。

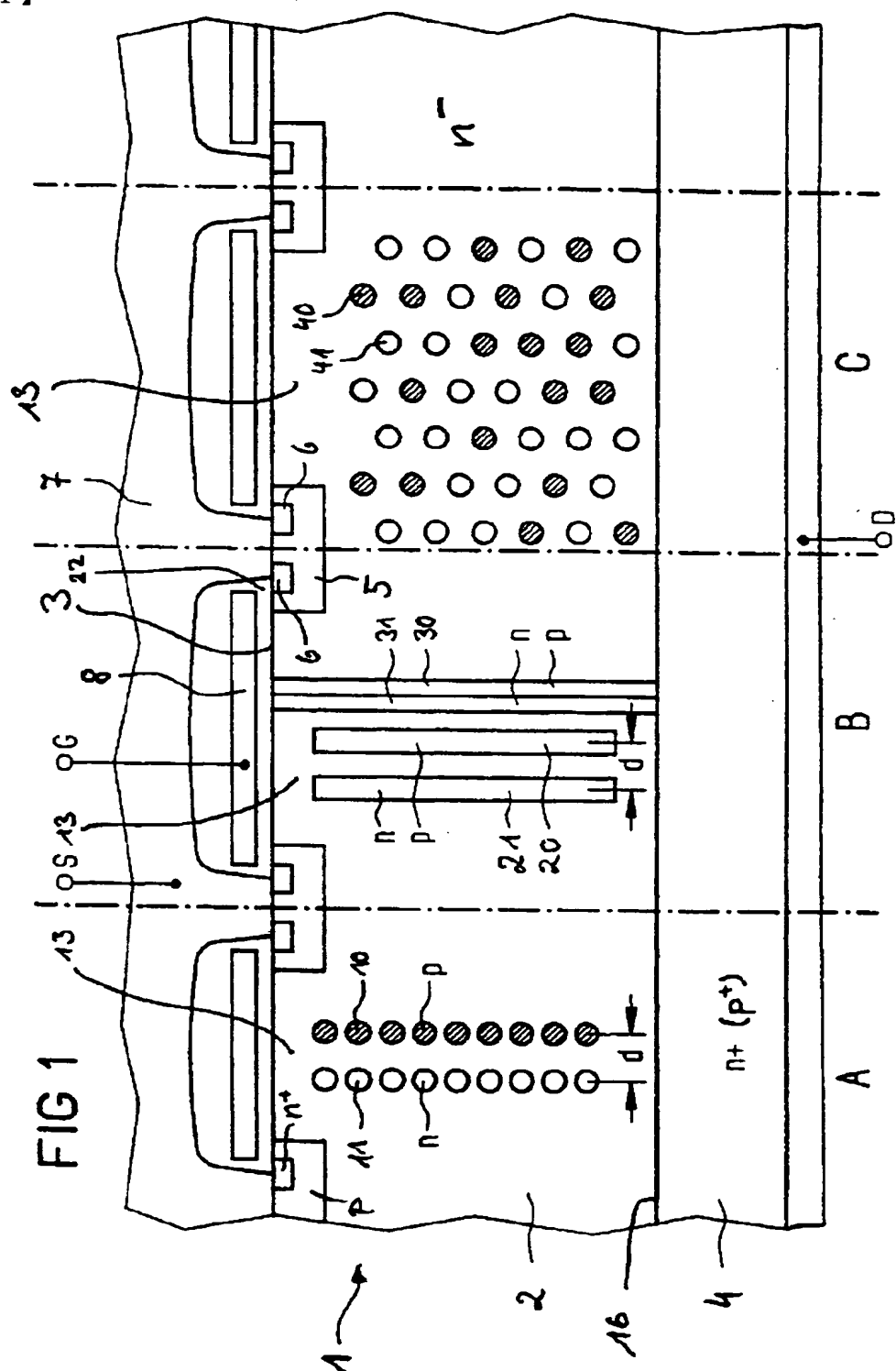
完成すべき半導体デバイスのための後の製造処理工程と組合わせてもよいこの熱処理工程の後、トレンチの縁部にそれぞれ空乏帯域9 5' 及び相補性空乏帯域9 6' が設けられる。pドーピングもしくはnドーピングの総量は最初に入れられたドーピングが上記のプロセスにより異なって分配されるので、常にほぼ等しい。従ってこのプロセスは概ね自己整合的である。

ベース帯域、ソース帯域の配設並びにゲート電極の設置及び縁部範囲の形成はこれまで記載した方法と同様に行われる。

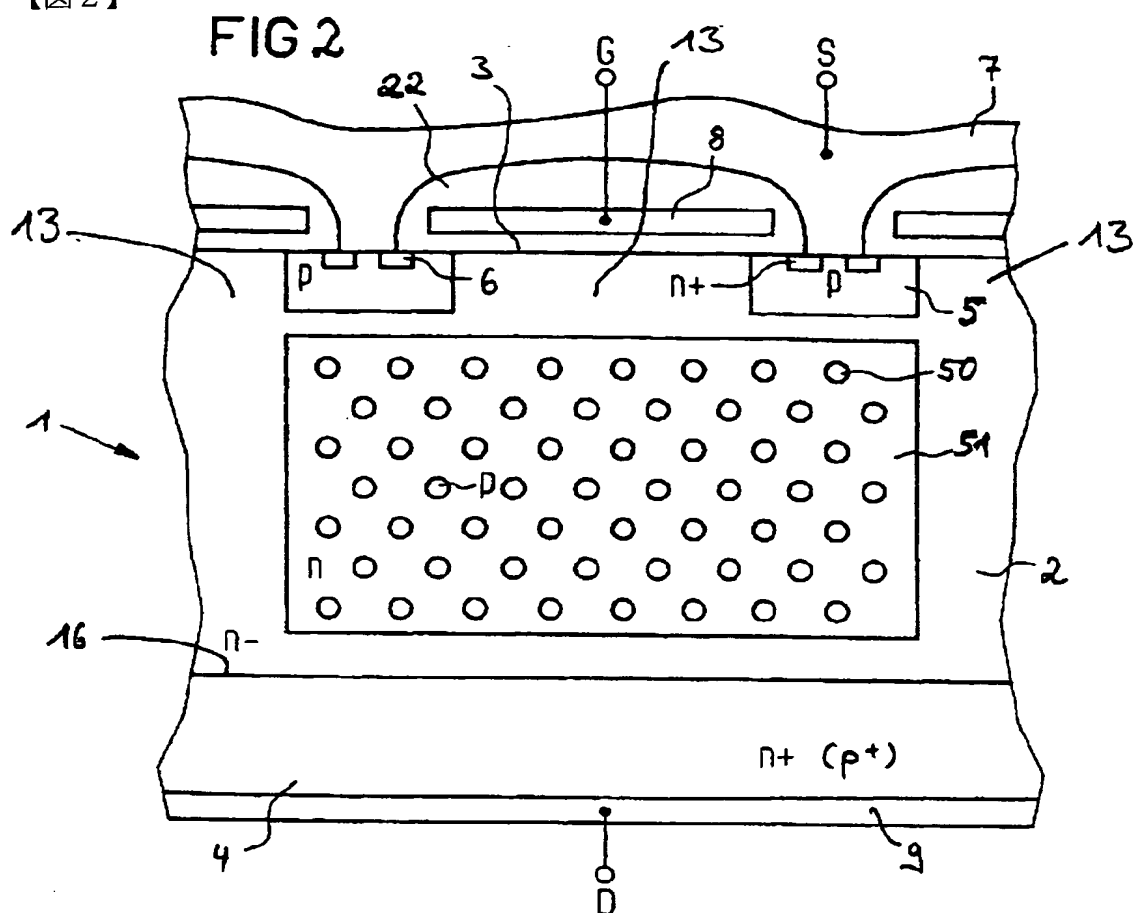
図7及び8に示されている方法は横型MOSFETの製造を容易に改良可能にする。

要約すれば本発明により高い逆電圧を有しながら同時に低い順方向抵抗 R_{ON} を有する縦型及び横型MOSFET並びにIGBTを形成することができる。重要なことは、構造化され又は統計的に対に設けられたp又はnドープされた範囲の形成であり、その際負荷区間の電流路に沿って形成される条片状の範囲を設けると有利である。本発明はpチャネルMOSFETにもnチャネルMOSFETにも又は相応するIGBTにも適用することができる。

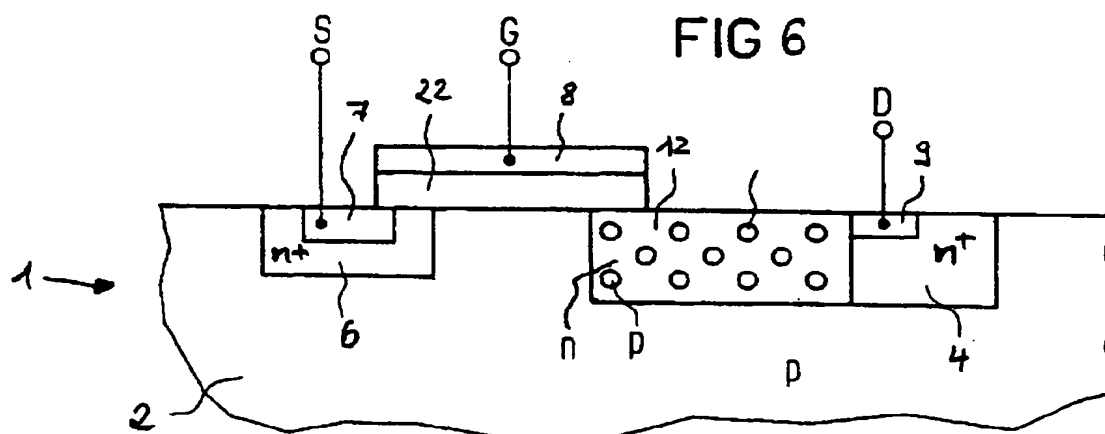
【図1】



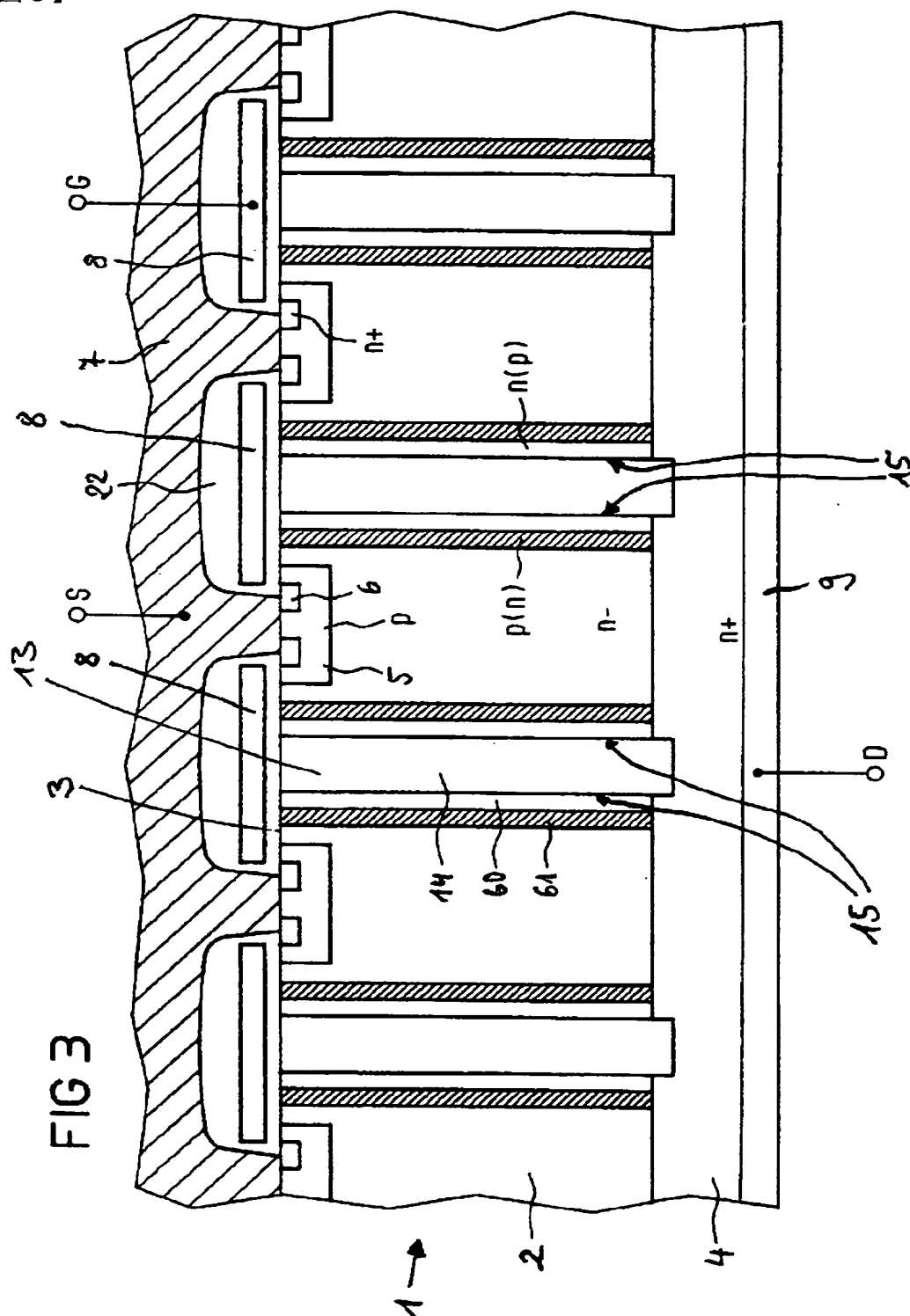
【図2】



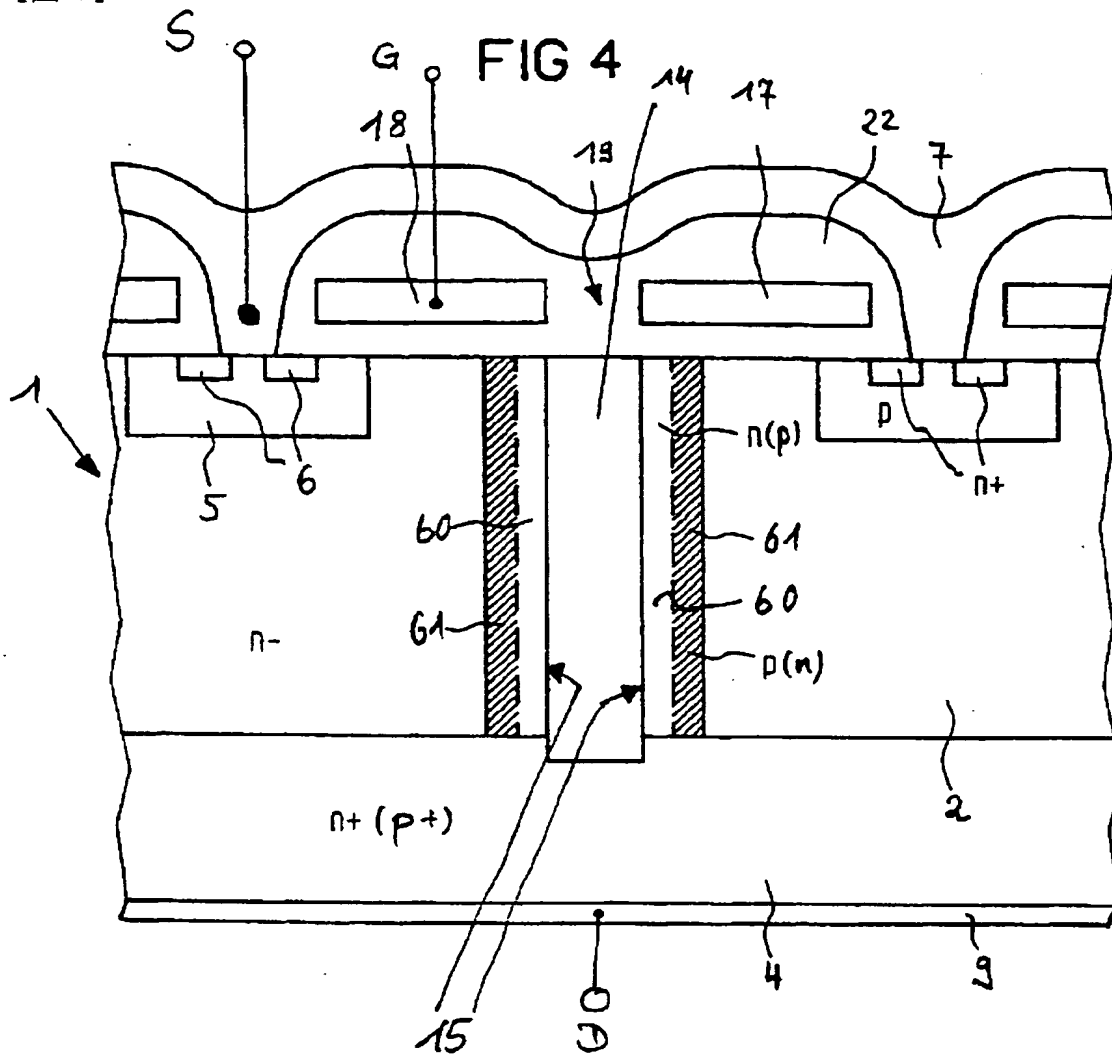
【図6】



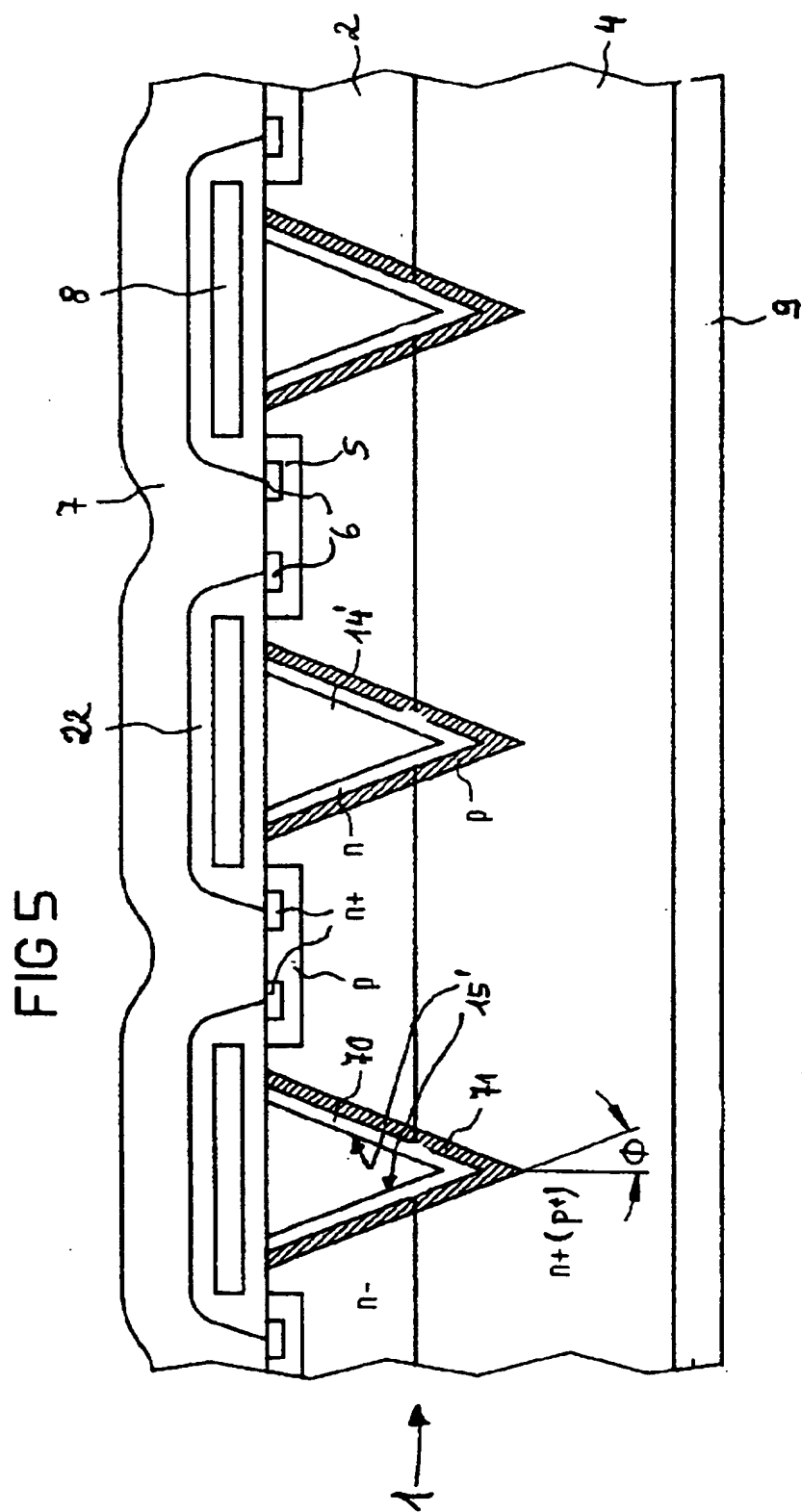
【図3】



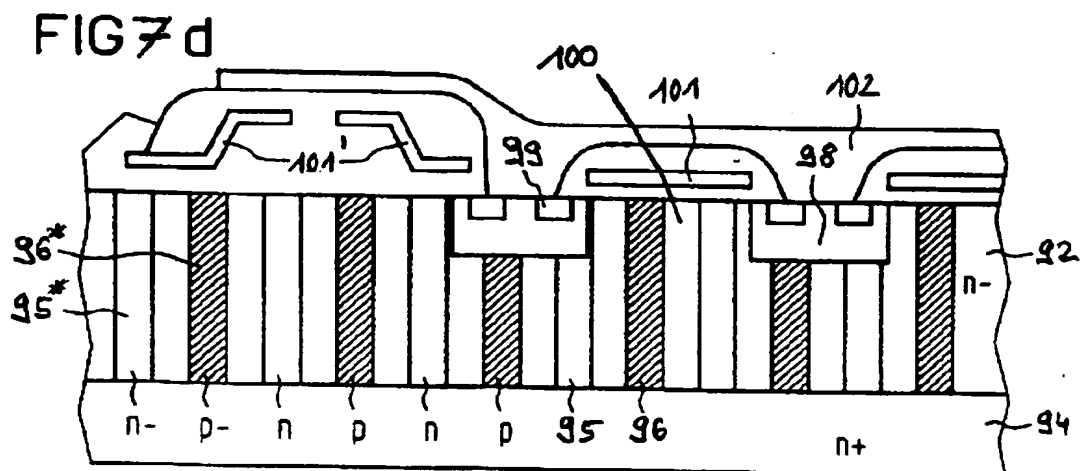
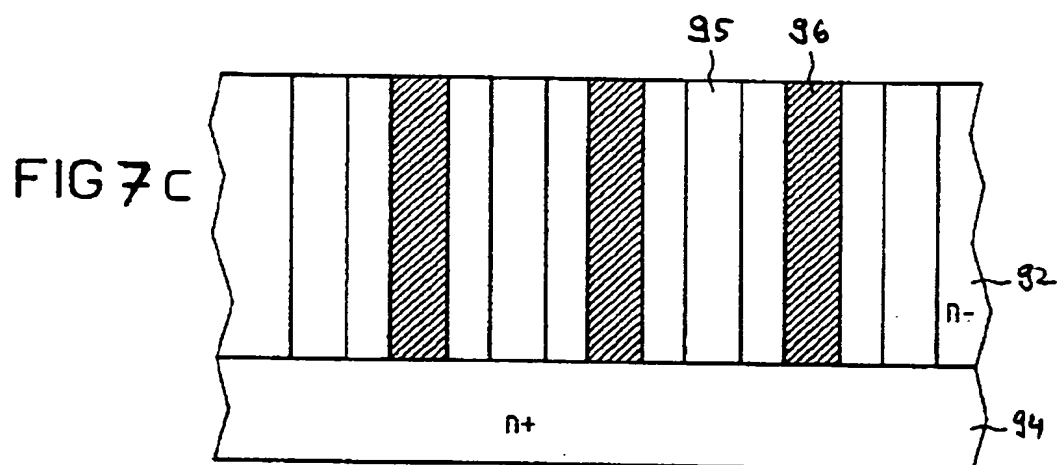
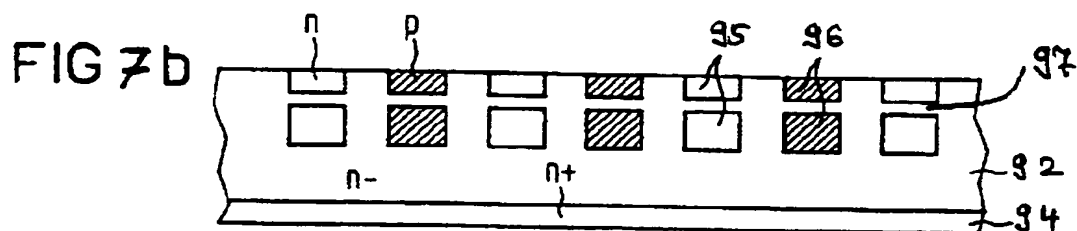
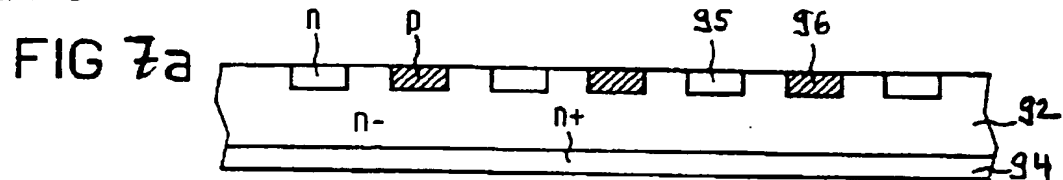
【図 4】



【図 5】



【図7】



【図8】
FIG 8a

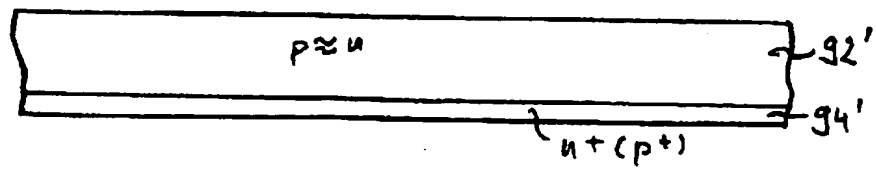


FIG 8b

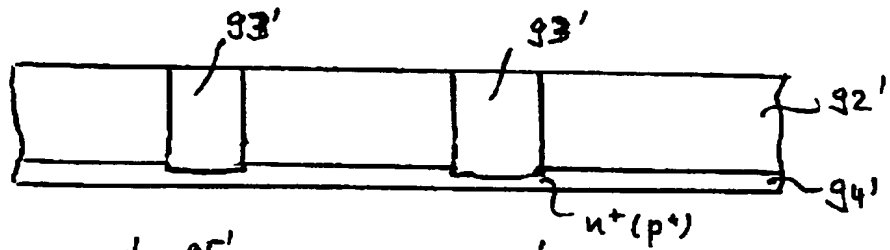
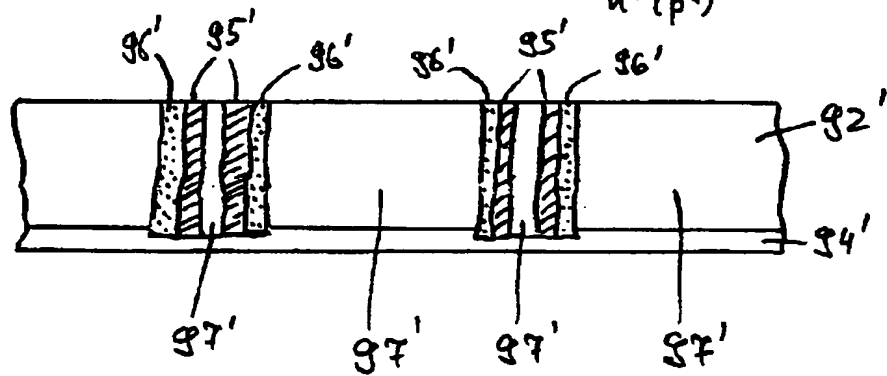


FIG 8c



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.

PC1/DE 97/00182

A. CLASSIFICATION OF SUBJECT MATTER		
IPC 6	H01L29/78 H01L21/331	H01L29/739 H01L21/336
H01L29/10	H01L29/06	H01L21/225
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC 6 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 216 275 A (CHEN) 1 June 1993 cited in the application see the whole document ---	1-5, 11, 12
X	DE 43 09 764 A (SIEMENS AG) 29 September 1994 see the whole document ---	1-5, 13, 14
A	US 4 242 690 A (TEMPLE VICTOR A) 30 December 1980 see abstract; figures 24-29 ---	6
A	FR 2 557 367 A (THOMSON CSF) 28 June 1985 see page 6, line 31 - page 8, line 3; figure 2 ---	6-8
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "B" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
27 May 1997		11-06-1997
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2200, Tx. 31 651 epo rd, Fax (+31-70) 340-3016		Authorized officer Mimoun, B

INTERNATIONAL SEARCH REPORT

Inter. Appl. No.

PC1/DE 97/00182

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 111 254 A (LEVINSON MARK ET AL) 5 May 1992 see column 5, line 46 - line 61; figure 3 ---	1,5,11, 15
A	DE 41 07 989 A (MITSUBISHI ELECTRIC CORP) 26 September 1991 see abstract; figure 7A ---	1,5
X	PATENT ABSTRACTS OF JAPAN vol. 016, no. 347 (E-1240), 27 July 1992 & JP 04 107867 A (MATSUSHITA ELECTRON CORP), 9 April 1992, see abstract ---	13,14
X	US 5 313 082 A (EKLUND KLAS H) 17 May 1994 see the whole document ---	13,14
X	EP 0 114 435 A (PHILIPS NV) 1 August 1984 see the whole document ---	13,14
X	EP 0 634 798 A (PHILIPS ELECTRONICS NV) 18 January 1995 see the whole document ---	13,14
A	GB 2 089 118 A (PHILIPS ELECTRONIC ASSOCIATED) 16 June 1982 see abstract; figure 1 -----	7

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/DE 97/00182

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5216275 A	01-06-93	CN 1056018 A	06-11-91
DE 4309764 A	29-09-94	JP 7007154 A	10-01-95
		US 5438215 A	01-08-95
US 4242690 A	30-12-80	CH 659542 A	30-01-87
		DE 2922334 A	20-12-79
		JP 55006887 A	18-01-80
		NL 7904444 A,B.	10-12-79
		US 4374389 A	15-02-83
FR 2557367 A	28-06-85	NONE	
US 5111254 A	05-05-92	NONE	
DE 4107909 A	26-09-91	JP 3270273 A	02-12-91
		US 5155574 A	13-10-92
US 5313082 A	17-05-94	EP 0612110 A	24-08-94
		JP 6291263 A	18-10-94
EP 0114435 A	01-08-84	CA 1200620 A	11-02-86
		JP 1370621 C	25-03-87
		JP 59119864 A	11-07-84
		JP 61034262 B	06-08-86
		US 4626879 A	02-12-86
EP 0634798 A	18-01-95	BE 1007283 A	09-05-95
		AU 6742494 A	19-01-95
		CA 2127645 A	13-01-95
		CN 1103206 A	31-05-95
		HU 68222 A	28-06-95
		JP 7038097 A	07-02-95
		US 5473180 A	05-12-95
GB 2089118 A	16-06-82	NONE	

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FI, FR, GB, GR, IE, IT, L
U, MC, NL, PT, SE), CN, JP, KR, U
S

(72)発明者 ガイガー、ハインリッヒ
ドイツ連邦共和国 デー-83607 ホルツ
キルヒェン アー・ミッターフェルナーシ
ュトラーセ 10